

ТВЕРДОТЕЛЬНАЯ ЭЛЕКТРОНИКА, МИКРО- И НАНОЭЛЕКТРОНИКА

Известия Саратовского университета. Новая серия. Серия: Физика. 2025. Т. 25, вып. 2. С. 211–221
Izvestiya of Saratov University. Physics, 2025, vol. 25, iss. 2, pp. 211–221
<https://fizika.sgu.ru> <https://doi.org/10.18500/1817-3020-2025-25-2-211-221>, EDN: JUWRSW

Научная статья
УДК 004.312.22

Узлы троичного процессора, разработанные на основе аналоговых моделей троичных логических элементов

А. А. Семёнов[✉], С. Б. Вениг, А. С. Дронкин

Саратовский национальный исследовательский государственный университет имени Н. Г. Чернышевского, Россия, 410012, г. Саратов, ул. Астраханская, д. 83

Семёнов Андрей Андреевич, доктор физико-математических наук, профессор кафедры физики твёрдого тела, sgu-war@yandex.ru, <https://orcid.org/0000-0002-1621-6530>

Вениг Сергей Борисович, доктор физико-математических наук, заведующий кафедрой материаловедения, технологии и управления качеством; директор института физики, wenigsb@mail.ru, <https://orcid.org/0000-0002-4759-5828>

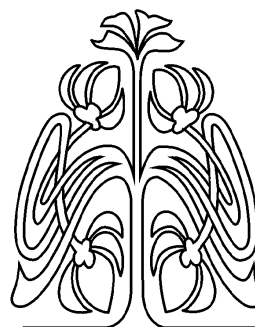
Дронкин Алексей Станиславович, аспирант кафедры физики твёрдого тела, dronkin.alexei@mail.ru, <https://orcid.org/0009-0009-5762-9073>

Аннотация. Переход цифровой вычислительной техники от двоичной основы к троичной системе счисления, то есть использованию в рамках одного разряда трёх возможных состояний – ложь/неопределенность/истина – дает ряд преимуществ и в целом предоставляет реальную возможность повысить производительность микропроцессорной техники при прочих равных условиях. Наличие в системах САПР работоспособных аналоговых моделей базовых и вспомогательных троичных логических элементов комбинационной логики позволяет корректно моделировать сложные устройства цифровой троичной техники. Целью работы является разработка основных узлов троичного процессора комбинационного типа, входящих в состав арифметико-логического устройства. На основе аналоговых моделей базовых и вспомогательных троичных логических элементов сконструированы управляемый инвертор, одноразрядный троичный сумматор по модулю 3, схемы полупереноса и полного переноса, троичный полусумматор и полный троичный одноразрядный сумматор. Разработанные узлы наряду с представленными ранее базовыми троичными логическими элементами комбинационной логики позволяют в дальнейшем реализовать на их основе сердце троичного процессора – арифметико-логическое устройство.

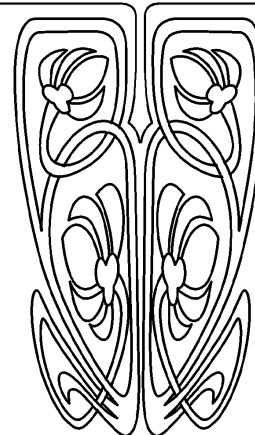
Ключевые слова: логические элементы, троичная логика, троичный логический базис, модели троичных логических элементов, повышение производительности, полный троичный сумматор, троичный процессор

Для цитирования: Семёнов А. А., Вениг С. Б., Дронкин А. С. Узлы троичного процессора, разработанные на основе аналоговых моделей троичных логических элементов // Известия Саратовского университета. Новая серия. Серия: Физика. 2025. Т. 25, вып. 2. С. 211–221. <https://doi.org/10.18500/1817-3020-2025-25-2-211-221>, EDN: JUWRSW

Статья опубликована на условиях лицензии Creative Commons Attribution 4.0 International (CC-BY 4.0)



**НАУЧНЫЙ
ОТДЕЛ**





Article

Developed ternary processor units based on analog models of ternary logic elements

A. A. Semenov[✉], S. B. Venig, A. S. Dronkin

Saratov State University, 83 Astrakhanskaya St., Saratov 410012, Russia

Andrey A. Semenov, sgu-wap@yandex.ru, <https://orcid.org/0000-0002-1621-6530>

Sergey B. Venig, wenigsb@mail.ru, <https://orcid.org/0000-0002-4759-5828>

Alexei S. Dronkin, dronkin.alexei@mail.ru, <https://orcid.org/0009-0009-5762-9073>

Abstract. Background and Objectives: The transition of digital technology from a binary base to a ternary number system, that is, the use of three possible states within one digit – false/uncertain/true – allows one to obtain a number of advantages and, in general, provides a real opportunity to increase the performance of microprocessor technology, all other things being equal. The presence of functional analog models of basic and additional combinational ternary logical elements in CAD systems allows the correct modeling of complex devices of digital ternary technology. So, the goal of the work is to develop the main combinational units of the ternary processor, which are main parts of its arithmetic logic unit. **Materials and Methods:** The software package for analysis and automatic design of electronic circuits was used to develop analog models of ternary logic elements. This program made it possible to analyze transient processes, parameters and interaction features of the developed logical elements and ternary digit units, based on such elements. **Results:** Based on analog models of basic and additional ternary logic elements, a controlled inverter, a single-bit ternary adder modulo 3, half-carry and full-carry circuits, a ternary half adder and a full ternary single-bit adder have been designed. **Conclusion:** The developed nodes, along with the previously presented basic ternary combinational logical elements, have allowed to further implement on their basis the heart of the ternary processor – the arithmetic logic unit.

Keywords: logical elements, ternary logic, ternary logical basis, ternary logic elements analog models, performance improvement, ternary full adder, ternary processor

For citation: Semenov A. A., Venig S. B., Dronkin A. S. Developed ternary processor units based on analog models of ternary logic elements. *Izvestiya of Saratov University. Physics*, 2025, vol. 25, iss. 2, pp. 211–221 (in Russian). <https://doi.org/10.18500/1817-3020-2025-25-2-211-221>, EDN: JUWRSW

This is an open access article distributed under the terms of Creative Commons Attribution 4.0 International License (CC-BY 4.0)

Введение

У специалистов, знающих схемотехнику двоичных логических КМОП–элементов, при знакомстве с устройством элементов троичной логики [1–5] зачастую складывается впечатление об их сравнительной сложности. Они невольно задаются вопросом, оправдано ли подобное усложнение, и какие преимущества может обеспечить переход на троичную логику? Её основное преимущество фактически очевидно: при прочих равных условиях элемент троичной логики производительней своего двоичного аналога по меньшей мере в 1.5 раза, поскольку за единицу времени обрабатывает больший объём информации, т. к. способен оценить состояние трёх логических уровней против двух. Неочевидным является тот факт, что благодаря некоторому усложнению элементов возможно упрощение создаваемых из них структур троичной техники и увеличение их производительности [1, 3, 5]. Следует также отметить, что троичная техника является единственной недвоичной техникой, не связанной с необходимостью ужесточения действующих в двоичной технике допусков на параметры сигналов и характеристики элементов.

Что же позволяет троичной технике демонстрировать повышенную, по сравнению

с двоичной, производительность «при прочих равных условиях»? Основные характеристики, обеспечивающие повышение производительности устройств, выполненных на элементах троичной логики:

- естественное представление чисел со знаком, то есть нет необходимости пользоваться искусственными приемами типа прямого, обратного или дополнительного кода;
- знак числа определяется знаком старшей ненулевой цифры без использования специального знакового бита, как в двоичной системе;
- простое сравнение чисел по величине, при этом не нужно обращать внимание на знак числа;
- как следствие, команда ветвления по знаку в троичной машине занимает в два раза меньше времени, чем в двоичной;
- усечение длины числа равносильно правильному округлению (способы округления, используемые в двоичных машинах, не обеспечивают этого);
- троичный сумматор осуществляет вычитание при инвертировании одного из слагаемых, откуда следует, что троичный счетчик автоматически является реверсивным;



- в трехходовом троичном сумматоре перенос в следующий разряд возникает в 8 ситуациях из 27, а в двоичном сумматоре – в 4 из 8;
- таблицы умножения и деления почти так же просты, как и в двоичной системе, умножение на -1 инвертирует множимое;
- трехуровневый сигнал более устойчив к воздействию помех в линиях передачи. Это означает что специальные методы избыточного кодирования троичной информации проще, нежели двоичной;
- количество связей в сложной системе уменьшается: для передачи данных в параллельном представлении необходимо в $\log 3 / \log 2 \approx 1.58$ раз меньше передающих линий [1].

Общепринято также выделять следующие преимущества троичной логики перед двоичной:

- логические высказывания более приближены к естественным, то есть: «да, нет, не знаю (не определено)» вместо просто «да, нет»;
- троичная логика – самая экономичная логика из всех в плане представления чисел с помощью определенного количества знаков;
- большой числовой диапазон можно охватить с малым количеством разрядов;
- при использовании троичной симметричной системы с алфавитом $\{-1, 0, +1\}$ можно перевести число в отрицательное простым инвертированием его разрядов (тритов).

Какой же прирост производительности микропроцессора могут обеспечить перечисленные выше положительные характеристики троичной логики? Поскольку засилья троичных компьютеров не наблюдается, да и рынок не балует разнообразием элементов троичной логики, авторы приняли решение самостоятельно разработать простые схемотехнически и технологически несложные троичные логические элементы, и на их основе сконструировать троичный процессор, позволяющий реализовать конструкцию доступными средствами. После чего получить достоверный ответ на поставленный вопрос, сравнив по возможности характеристики разработанного троичного процессора с наиболее близким по параметрам двоичным аналогом.

В практической реализуемости подобной задачи наглядно убедил автор проекта [6], создавший действующий аналог легендарного 8-разрядного микропроцессора MOS 6502 из отдельных дискретных SMD компонентов на плате размером $380 \times 305 \text{ мм}^1$.

1. Модели базовых троичных логических элементов

Протестированные и полностью работоспособные аналоговые модели базовых и вспомогательных троичных логических элементов комбинационной логики [5] были оформлены как субмодули (рис. 1) используемого пакета САПР [7], что позволило использовать их в дальнейшем для разработки основных узлов троичного процессора. Некоторое визуальное неудобство названий, присвоенных субмодулям, обусловлено ограничением на формат их имени в используемом пакете САПР [7]².

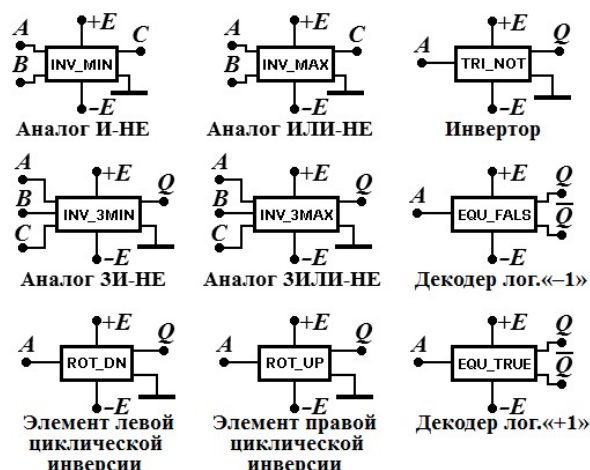


Рис. 1. Субмодули аналоговых моделей базовых и вспомогательных троичных логических элементов

Fig. 1. Ternary basic and additional logic elements analogue models subcircuits

2. Логический элемент троичной операции неэквивалентности

Неэквивалентность – логическая операция, которая двум высказываниям ставит в соответствие новое высказывание, считающееся истинным, если лишь одно из высказываний истинно, и ложным во всех остальных случаях. То есть

¹Пример другого энтузиаста самостоятельной разработки микропроцессорной техники напомнил о том, что в городе, где находится большое количество предприятий электронной промышленности, в условиях рынка можно изыскать возможность при наличии финансирования изготовить троичные логические элементы и по планарной интегральной технологии. См.: Энтузиаст собрал самодельный процессор у себя в гараже. URL: https://4pda.to/2021/08/22/389320/entuziast_sobral_samodelnyj_protessor_u_sebya_v_garazhe_video/ (дата обращения: 25.11.2024).

²В зарубежной литературе троичные логические элементы левой и правой циклических инверсий могут носить названия rotate down cycle; left cycle; double inverse cycle и rotate up cycle; right inverse cycle [8].



в том случае если оба высказывания одновременно истинны, либо одновременно ложны, результат логической операции неэквивалентности будет ложным. Логическую операцию неэквивалентности можно рассматривать как отрицание результата операции эквивалентности³.

Смысл логической операции неэквивалентности, максимально приближён к высказыванию «или то, или это, но не оба сразу», «что-нибудь, но не все». Собственно, этому высказыванию и соответствует название *строгая дизъюнкция* – дизъюнкция, при которой результат для ситуации «оба сразу» ложный. Для обозначения операции используют английскую аббревиатуру «XOR» английского словосочетания «eXclusive OR»: «один и только один».

Схема троичного логического элемента «XOR» представлена на рис. 2. Принимая во внимание тот факт, что в наличии есть удачная и вполне работоспособная модель базисного троичного логического элемента «INV-MIN» (аналог «И-НЕ» двоичной логики), троичный логический элемент «XOR» был выполнен по схеме (рис. 2, а), идентичной его двоичному прототипу [9, с. 57].

Работа элемента была протестирована при подаче на вход *A* пилообразного сигнала, а на вход *B* – троичных управляющих потенциалов. Анализ приведенных выше осциллограмм

показывает (рис. 2, б), что троичный логический элемент «XOR» ведёт себя практически так же, как и его двоичный аналог, работая по принципу «что-нибудь, но не все» с входными данными уровня логической «+1» и логической «-1». При управляющем сигнале на входе *B*, равном логической «+1», троичный вентиль инвертирует входной сигнал на входе *A*. При управляющем сигнале на входе *B*, равном логической «-1», троичный вентиль пропускает сигнал на входе *A* без инверсии. И, наконец, при подаче логического «0» на вход *B*, троичный элемент «XOR» также выдаёт на выход «0», что позволяет признать его, как и его двоичный аналог, управляемым инвертором, поскольку в троичной логике инверсия логического «0» есть сам логический «0».

Логический элемент «XOR», выполняя в двоичной алгебре операцию «сложение по модулю два», является основой для построения полного двоичного сумматора. В троичной же логике элемент «XOR» в схемотехнике полного троичного сумматора не используется.

Модель троичного логического элемента «исключающее ИЛИ», была оформлена в виде отдельного функционального модуля, который может быть использован в дальнейшем для построения более сложных устройств троичной логики.

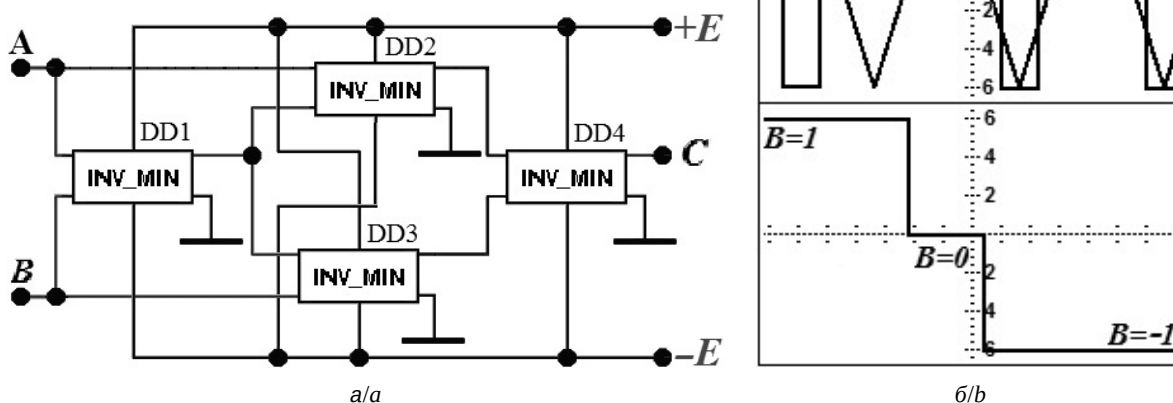


Рис. 2. Принципиальная электрическая схема троичного логического элемента неэквивалентности (а) и осциллограммы его входных и выходного сигналов (б)

Fig. 2. Ternary non-equivalence logic element circuit diagram (a) and its input and output signal waveforms (b)

³Операция неэквивалентности имеет и другие названия. В математической логике она известна как операция «исключающее ИЛИ» (строгая дизъюнкция), а в двоичной алгебре – как операция «сложение по модулю два» $F(x_1, x_2) = x_1 \oplus x_2$.



3. Троичный полусумматор

Одноразрядный троичный сумматор по модулю 3, принципиальная электрическая схема которого представлена на рис. 3, построен на основе троичного мультиплексора, образованного троичными логическими элементами DD3–DD9.

Элементы DD3 и DD4 представляют собой свернутые в submodule декодеры троичных логических уровней «+1» и «–1» на входе **B**, а элемент DD5 типа «INV_MIN» в совокупности с DD3 и DD4 отслеживает уровень логического «0» в тех случаях, когда DD3 и DD4 не обнаружили ни «+1», ни «–1». Выходы декодеров управляют троичными логическими вентилями DD6–DD8 типа «INV_MIN» прозрачными по уровню логической «+1». Элемент DD9 типа «INV_3MIN» для инверсных выходов вентилях DD6–DD8 играет роль троичного «ИЛИ», пропуская на выход **C** сигнал одного из них, прозрачного в отдельный конкретный момент.

Логика функционирования сумматора по модулю 3 представлена в табл. 1.

Устройство работает следующим образом. Если на входе **B** элементом DD3 определен уровень «+1», что предполагает сложение с единицей значения на входе **A**, то по активному уровню «+1» на выходе DD3 прозрачен вентиль DD6. В этом случае любое число с входа

A поступает на выход сумматора через элемент DD1 правой троичной циклической инверсии, то есть, увеличенным на единицу.

Если на входе **B** элементом DD4 определен уровень «–1», то прозрачен вентиль DD8, предполагается вычитание единицы из значения на входе **A**, и любое число с входа **A** поступает на выход **C** через элемент DD2 левой троичной циклической инверсии, уменьшенным на единицу.

Таблица 1 / Table 1

Таблица истинности троичного сумматора по модулю 3
Ternary modulo 3 adder truth table

$C \equiv A \oplus_3 B$		A		
		–1	0	1
B	–1	1	–1	0
	0	–1	0	1
	1	0	1	–1

При логическом «0» на входе **B**, значения с входа **A** через прозрачный вентиль DD7 проходят на выход **C** без изменения, поскольку сложение с нулём не изменяет число.

Очевидно преимущество троичной арифметики: сложение и вычитание производится одним и тем же узлом – сумматором – без излишнего преобразования в дополнительный

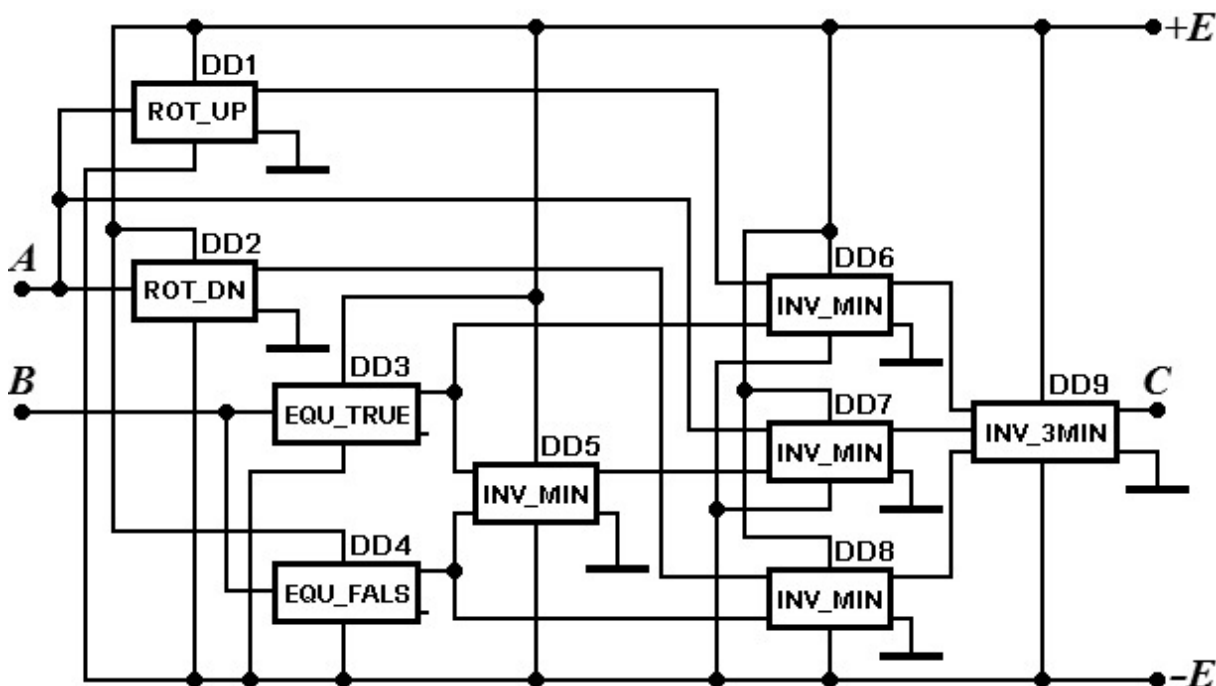


Рис. 3. Принципиальная электрическая схема троичного сумматора по модулю 3

Fig. 3. Ternary modulo 3 adder circuit diagram



код, поскольку число в троичной симметричной системе счисления естественным образом содержит в себе знак.

При троичном суммировании по модулю 3 необходимость переноса возникает лишь в двух случаях:

- $1 + 1 = -1$ – в текущий разряд и $+1$ – перенос в старший;
- $-1 + (-1) = -1 - 1 = +1$ – в текущий разряд и -1 – перенос.

Таблица истинности схемы формирования полупереноса (Half Carry) этом случае выглядит следующим образом.

Таблица 2 / Table 2

Таблица истинности троичного логического узла, формирующего выходной сигнал переноса полусумматора

Ternary half adder carry out truth table

Half Carry		A		
		-1	0	1
B	-1	-1	0	0
	0	0	0	0
	1	0	0	1

И эту функцию также удобно реализовать на основе троичного мультиплексора с несколько видоизмененной схемой управления, показанной на рис. 4.

Принцип работы устройства следующий. Элемент DD1 активным уровнем «+1» на своем инверсном выходе активирует вентиль DD3 в том случае, если на входе *A* логическое значение НЕ «-1», и вентиль DD3 передает на выход логический «0». Элемент DD2 активным уровнем «+1» на своем инверсном выходе активирует вентиль DD5 в том случае, если на входе *B* логическое значение НЕ «-1», и вентиль DD5 передает на выход логический «0».

Элемент DD6, на входы которого поступают инверсные значения вентилях DD3–DD5, пропускает на выход минимальное из значений на своих входах, инвертируя его. Поэтому при совпадении логических значений «+1» на входах *A* и *B* на выходе DD4 появляется сигнал «-1», который преобразуется в «+1» на выходе DD6. При совпадении логических значений «-1» на входах *A* и *B* элементы DD1 и DD2 запирают вентили DD3 и DD5, на выходах которых появляется логическая «+1». Но и на выходе DD4 в этом случае – «+1». Элемент DD6 обрабатывает совпадение логических «+1» на своих входах, инвертируя его в «-1».

4. Полный троичный одноразрядный сумматор

Троичный сумматор по модулю 3 со схемой переноса образуют троичный полусумматор,

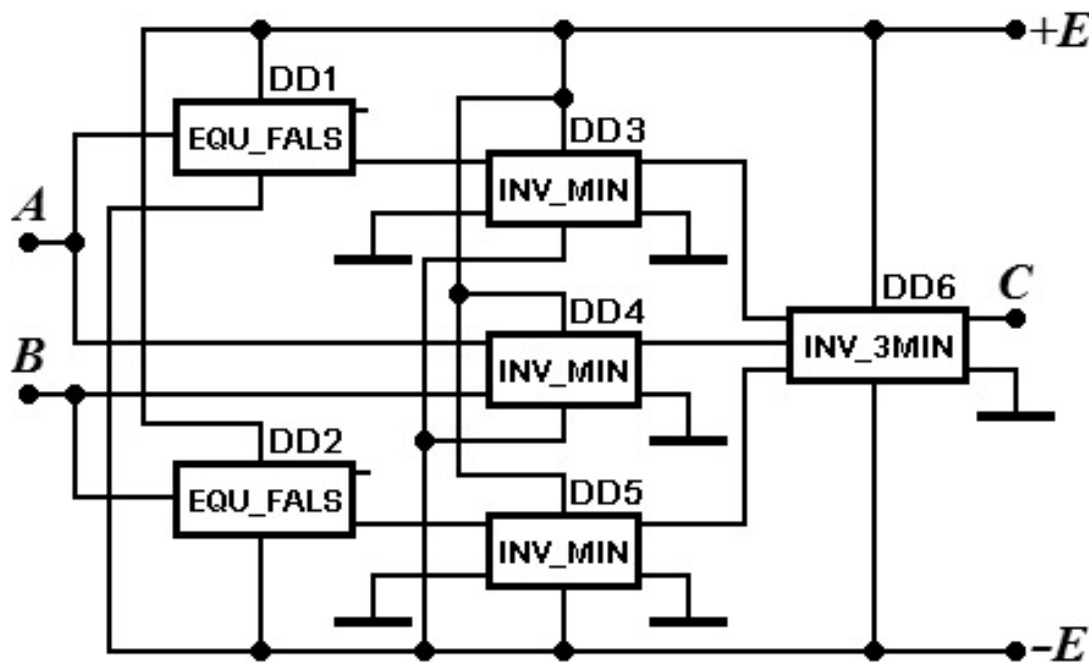


Рис. 4. Принципиальная электрическая схема троичного логического узла, формирующего выходной сигнал переноса полусумматора

Fig. 4. Ternary half adder carry out circuit diagram



два узла которого обычно входят в состав полного одноразрядного сумматора, законченная конструкция которого требует дополнительного узла, формирующего сигнал переноса в старший разряд из двух сигналов полупереноса отдельных полусумматоров.

Перенос в старший разряд возникает в следующих случаях.

Если трит полупереноса на выходе одного из полусумматоров равен «-1», а на выходе второго – «0» или «-1», то трит переноса в старший разряд на выходе полного сумматора равен «-1», и если трит полупереноса на выходе одного из полусумматоров равен «+1», а на выходе второго – «0» или «+1», то трит переноса в старший разряд на выходе полного сумматора равен «+1».

Таким образом, таблица истинности узла переноса в старший разряд (Carry Out) полного троичного сумматора имеет следующий вид.

Таблица 3 / Table 3

Таблица истинности троичного логического элемента, формирующего выходной сигнал полного переноса сумматора

Ternary full adder carry out logic element truth table

Carry Out		A		
		-1	0	1
B	-1	-1	-1	0
	0	-1	0	1
	1	0	1	1

Очевидно, что за исключением двух позиций, соответствующих комбинациям $A = -1$, $B = -1$ и $A = 1$, $B = 1$, она практически полностью идентична таблице истинности сумматора по модулю 3. Следовательно, узел переноса в старший

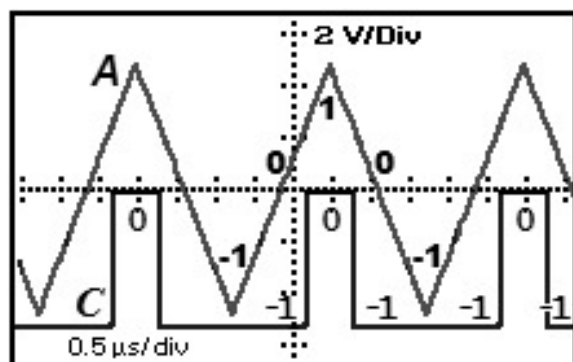
разряд может быть выполнен по той же схеме, что и сумматор по модулю 3 на основе троичного мультиплексора, но схемотехнику троичных элементов, «ROT_DN» и «ROT_UP» [5] необходимо скорректировать, чтобы их принцип действия сводился к осциллограммам, представленным на рис. 5.

Чтобы достичь необходимого результата у элемента правой циклической инверсии необходимо исключить из функционала операцию преобразования «+1» в «-1», у элемента левой циклической инверсии в таком случае следует исключить операцию «-1» → «+1». Принципиальные электрические схемы логических элементов правой и левой троичной циклической инверсии в этом случае корректируются к виду, представленному на рис. 6.

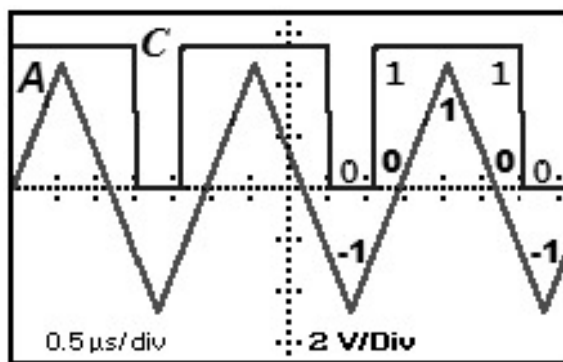
Эти логические элементы были именованы по своим прототипам с пометкой об исключении отдельной операции: «ROT_Dx» (ROTate Down with eXception – вращение вниз с исключением) и «ROT_Ux» (ROTate Up with eXception – вращение вверх с исключением).

Модель узла переноса в старший разряд полного троичного сумматора с элементами «ROT_Ux» и «ROT_Dx» представлена на рис. 7.

Протестированные и полностью работоспособные узлы троичного сумматора по модулю 3, схемы полупереноса и полного переноса были свёрнуты в submodule «SUM_MOD3», «T_CARRY», «CARRY_O», соответственно, и на их основе была создана модель полного троичного одноразрядного сумматора, представленная на рис. 8.



a/a



b/b

Рис. 5. Осциллограммы входного и выходного сигналов логических элементов троичной левой циклической инверсии с исключением (а) и правой циклической инверсии с исключением (б)

Fig. 5. Input and output signal waveforms of a ternary rotate down cycle with exception logic element (a) and of a ternary rotate up cycle with exception logic element (b)

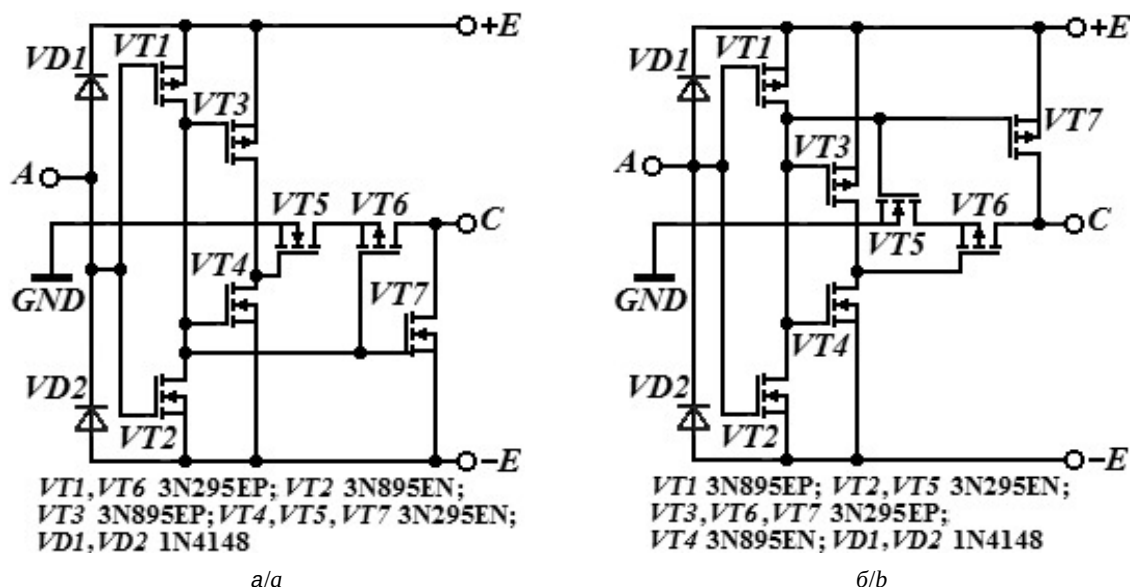


Рис. 6. Принципиальные электрические схемы логических элементов троичной левой (а) и правой циклических инверсии (б) с исключением

Fig. 6. Ternary rotate down cycle with exception logic element circuit diagram (a) and rotate up cycle with exception logic element circuit diagram (b)

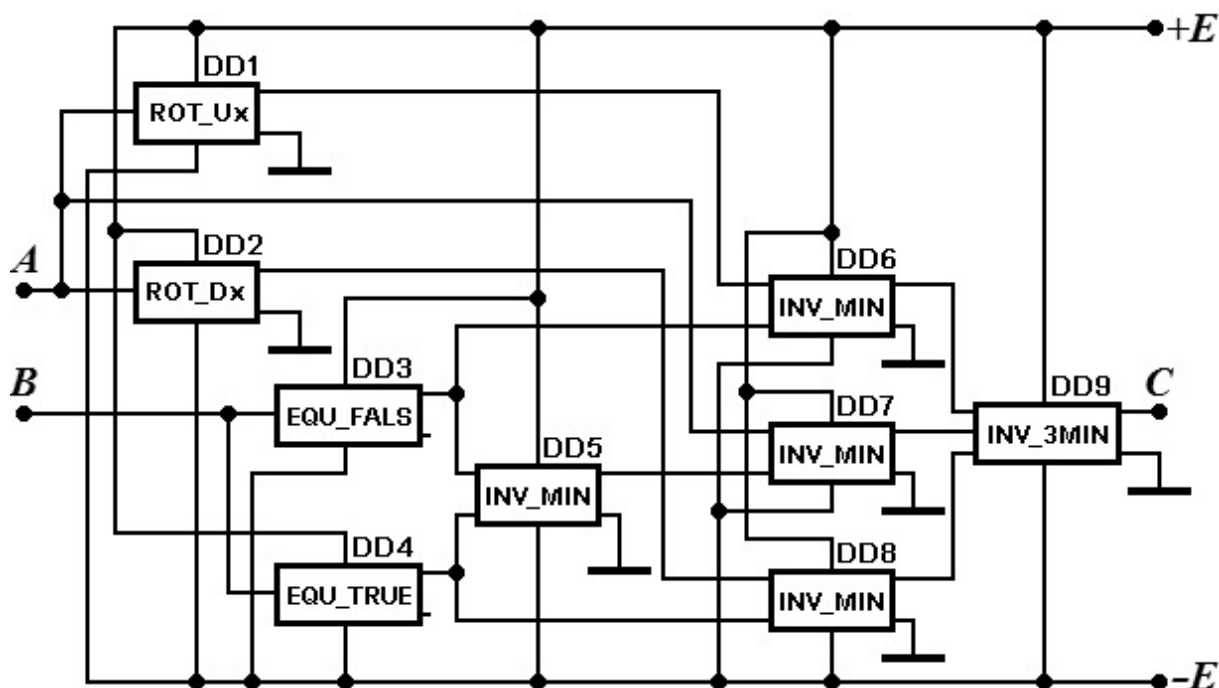


Рис. 7. Принципиальная электрическая схема троичного логического узла, формирующего выходной сигнал полного переноса сумматора

Fig. 7. Ternary full adder carry out logic element circuit diagram

Элементы DD1 и DD2 образуют троичный полусумматор, осуществляющий сложение двух входных однитритных значений A и B , причем на выходе DD1 формируется их сумма, а на выходе DD2 – признак полупереноса. Троичный полусумматор, образованный элемен-

тами DD3 и DD4, суммирует полученную сумму с тритом признака переноса из младшего разряда **Cin**, выдавая на выход **S** полную сумму в пределах одного разряда. На выходе DD4 формируется второй признак полупереноса. Элемент DD5 на основе двух этих признаков принима-

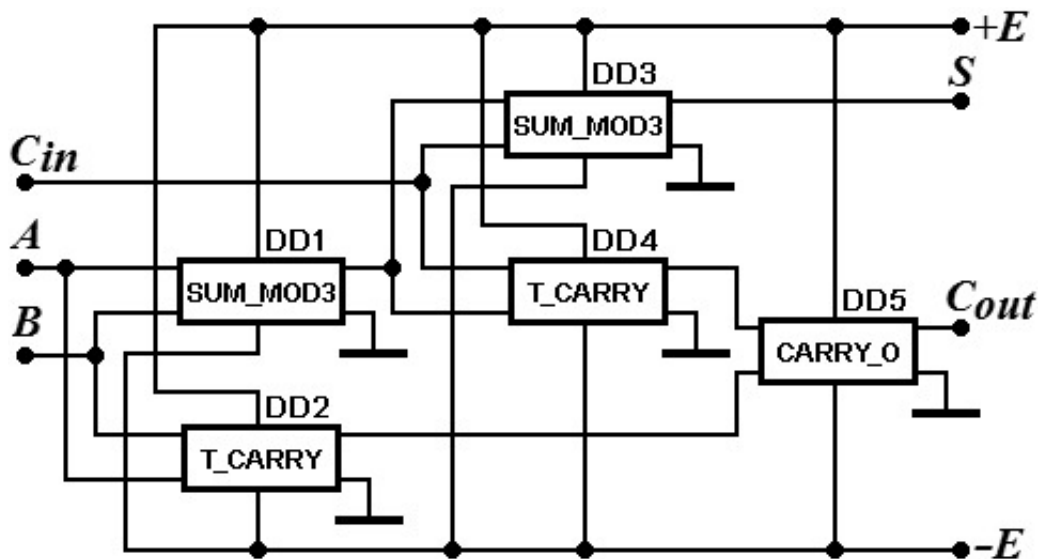


Рис. 8. Принципиальная электрическая схема троичного одноразрядного полного сумматора

Fig. 8. Ternary single-trit full adder circuit diagram

ет решение о формировании признака переноса в старший разряд на своём выходе **Cout**.

Табл. 4 задает таблицу истинности полного одноразрядного троичного сумматора для представленной выше модели.

Сравнение результатов экспериментально измеренной таблицы истинности полного одноразрядного троичного сумматора с известными эталонными данными [10], показало их полную идентичность.

Таким образом, на основе аналоговых моделей базовых и вспомогательных троичных логи-

ческих элементов [5] сконструированы управляемый инвертор, одноразрядный троичный сумматор по модулю 3, схемы полупереноса и полного переноса, троичный полусумматор и полный троичный одноразрядный сумматор.

Заключение

Разработанные узлы наряду с представленными ранее базовыми троичными логическими элементами комбинационной логики позволяют в дальнейшем реализовать на их основе «сердце»

Таблица 4 / Table 4

Таблица истинности троичного одноразрядного полного сумматора
Ternary single-trit full adder truth table

A	B	Cin	S	Cout
-1	-1	-1	0	-1
0	-1	-1	1	-1
1	-1	-1	-1	0
-1	0	-1	1	-1
0	0	-1	-1	0
1	0	-1	0	0
-1	1	-1	-1	0
0	1	-1	0	0
1	1	-1	1	0
-1	-1	0	1	-1
0	-1	0	-1	0
1	-1	0	0	0
-1	0	0	-1	0
0	0	0	0	0

A	B	Cin	S	Cout
0	0	0	0	0
1	0	0	1	0
-1	1	0	0	0
0	1	0	1	0
1	1	0	-1	1
-1	-1	1	-1	0
0	-1	1	0	0
1	-1	1	1	0
-1	0	1	0	0
0	0	1	1	0
1	0	1	-1	1
-1	1	1	1	0
0	1	1	-1	1
1	1	1	0	1



троичного процессора – арифметико-логическое устройство.

Заинтересованный читатель может более подробно ознакомиться с особенностями схемотехники троичных логических элементов, нюансами их разработки и проектирования логических схем на их основе по адресу: <https://sgu-war.narod.ru/Ternary/index.html>. Рабочие модели представленных в статье троичных логических узлов доступны для использования по следующей ссылке: <https://sgu-war.narod.ru/Ternary/Download/index.html>.

А для реализации модели троичного процессора дополнительно необходим особый класс троичных схем – устройства троичной последовательностной логики [11]. Такие схемы, обладающие свойством «памяти» и фактически являющиеся «двигателем», приводящим в действие процессорную систему, будут представлены на суд читателей в дальнейшем.

Список литературы

1. Кушнеров А. Троичная цифровая техника. Ретроспектива и современность. URL: <http://314159.ru/kushnerov/kushnerov1.pdf> (дата обращения: 20.09.2024).
2. Heung A., Mouftah H. T. Depletion/Enhancement CMOS for a low power family of three-valued logic circuits // *IEEE Journal of Solid-State Circuits*. 1985. Vol. SC-20, No 2. P. 609–616. <https://doi.org/10.1109/JSSC.1985.1052354>
3. Three-Valued Logic (Применение трехзначной логики). URL: <https://trilog.narod.ru/index.htm> (дата обращения: 10.10.2024).
4. Султанов И. А. Исследование элементов троичной логики на примере троичного инвертора // *Молодой ученый*. 2016. № 28 (132). С. 182–194.
5. Дронкин А. С., Семёнов А. А. Модели троичных логических элементов и их применение в схемотехнике процессоров // *Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами* : сб. статей Восьмой Всероссийской научной школы-семинара / под ред. проф. Ал. В. Скрипаля. Саратов : Изд-во «Саратовский источник», 2021. С. 31–36.
6. The MOnSter 6502. A dis-integrated circuit project to make a complete, working transistor-scale replica of the classic MOS 6502 microprocessor. URL: <https://monster6502.com> (дата обращения: 20.09.2024).
7. Electronic Workbench 5.12 for Windows. URL: <https://electronicworkbenchwb.com/electronic-workbench-download/> (дата обращения: 25.11.2024).
8. Jones D. W. Standard Ternary Logic. URL: <https://homepage.cs.uiowa.edu/~dwjones/ternary/logic.shtml> (дата обращения: 25.11.2024).
9. Шило В. Л. Популярны́е цифровые микросхемы : справочник. М. : Радио и связь, 1989. 352 с.
10. Jones D. W. Fast Ternary Addition. URL: <https://homepage.divms.uiowa.edu/~jones/ternary/arith.shtml> (дата обращения: 25.11.2024).
11. Овчинников К. С., Дронкин А. С., Семёнов А. А. Элементы троичной последовательностной логики // *Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами* : сб. статей Девятой Всероссийской научной школы-семинара / под ред. проф. Ал. В. Скрипаля. Саратов : Изд-во «Саратовский источник», 2022. С. 57–61.

References

1. Kushnerov A. *Troichnaya tsifrovaya tekhnika. Retrospektiva i sovremennost'* [Trinity Digital Technology: Retrospect and Modernity]. Available at: <http://314159.ru/kushnerov/kushnerov1.pdf> (accessed September 20, 2024) (in Russian).
2. Heung A., Mouftah H. T. Depletion/Enhancement CMOS For a Low Power Family of Three-Valued Logic Circuits. *IEEE Journal of solid-state circuits*, 1985, vol. SC-20, no. 2, pp. 609–616. <https://doi.org/10.1109/JSSC.1985.1052354>
3. *Three-Valued Logic. Application of three-valued logic*. Available at: <https://trilog.narod.ru/index.htm> (accessed October 10, 2024) (in Russian).
4. Sultanov I. A. Research of ternary logic elements using the example of a ternary inverter]. *Molodoi uchenyi*, 2016, no. 28 (132), pp. 182–194 (in Russian).
5. Dronkin A. S., Semenov A. A. Models of ternary logic elements and their application in processor circuitry. *Vzaimodeistvie sverkhvysokochastotnogo, teragertsovogo i opticheskogo izlucheniya s poluprovodnikovymi mikro- i nanostrukturami, metamaterialami i bioob"ektami: sbornik statei Vos'moy Vserossiiskoi nauchnoi shkoly-seminara* [Skripal' Al. V., ed. Interaction of Microwave, Terahertz and Optical Radiation with Semiconductor Micro- and Nanostructures, Metamaterials and Bioobjects: Collection of articles from the Eighth All-Russian scientific school-seminar]. Saratov, Izdatel'stvo "Saratovskiy Istochnik", 2021, pp. 31–36 (in Russian).
6. The MOnSter 6502. A dis-integrated circuit project to make a complete, working transistor-scale replica of the classic MOS 6502 microprocessor. Available at: <https://monster6502.com> (accessed September 20, 2024).
7. *Electronic Workbench 5.12 for Windows*. Available at: <https://electronicworkbenchwb.com/electronic-workbench-download/> (accessed November 25, 2024).
8. Jones D. W. *Standard Ternary Logic*. Available at: <https://homepage.cs.uiowa.edu/~dwjones/ternary/logic.shtml> (accessed November 25, 2024).
9. Shilo V. L. *Populyarnye tsifrovye mikroskhemy: Spravochnik* [Popular Digital Microcircuits: Handbook]. Moscow, Radio i svyaz', 1989. 352 p. (in Russian).
10. Jones D. W. *Fast Ternary Addition*. Available at: <https://homepage.divms.uiowa.edu/~jones/ternary/arith.shtml> (accessed November 25, 2024).
11. Ovchinnikov K. S., Dronkin A. S., Semenov A. A. Ternary sequential logic elements. *Vzaimodeistvie*



sverkhvysokochastotnogo, teragertsovogo i opticheskogo izlucheniya s poluprovodnikovymi mikro- i nanostrukturami, metamaterialami i bioob"ektami: sbornik statei Devyatoi Vserossiiskoi nauchnoi shkoly-seminara [Skripal' A. V., ed. Interaction of Microwave,

Terahertz and Optical Radiation with Semiconductor Micro- and Nanostructures, Metamaterials and Bioobjects: Collection of articles from the Ninth All-Russian scientific school-seminar]. Saratov, Izdatel'stvo "Saratovskiy Istochnik", 2022, pp. 57–61 (in Russian).

Поступила в редакцию 12.10.2024; одобрена после рецензирования 25.11.2024;
принята к публикации 10.12.2024; опубликована 30.06.2025

The article was submitted 12.10.2024; approved after reviewing 25.11.2024;
accepted for publication 10.12.2024; published 30.06.2025