

## РЕГИСТР ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ ДЛЯ ОТЕЧЕСТВЕННОЙ КМОП-ТЕХНОЛОГИИ

А.В. Белявцев<sup>1</sup>, А.В. Русанов<sup>1, 2</sup>

<sup>1</sup>АО «Научно-исследовательский институт электронной техники», г. Воронеж, Россия

<sup>2</sup>Воронежский государственный технический университет, г. Воронеж, Россия

**Аннотация:** рассмотрены метод последовательного приближения, типовая структура и блоки аналого-цифрового преобразователя (АЦП) на основе регистра последовательного приближения и сравнения его основных параметров с другим типом АЦП. Приведено описание работы и взаимодействия блоков разработанного регистра, основные диаграммы, поясняющие работу микросхемы и возможные не типовые способы её применения. Детальное представление блоков даёт возможность более полно понять принцип работы всей схемы и определить дополнительные способы её применения, найти пути повышения функциональности и эффективности работы схемы. Указаны аналоги для представленных электрических схем разработанных блоков. Описаны основные электрические характеристики и результаты моделирования. Приведён внешний вид топологии кристалла. Топология разработанной микросхемы реализована на базе отечественной КМОП-технологии (комплементарная структура металл — оксид — полупроводник) с проектными нормами 180 нм. При проектировании электрической схемы и топологии использовалась специализированная система автоматизированного проектирования (САПР). При симуляции электрической схемы использовались Spectre модели, предоставленные кремниевой фабрикой. Топология прошла обязательную проверку на соблюдение проектных правил (Design rule check, DRC) и на соответствие электрической схеме (Layout vs. Schematic, LVS)

**Ключевые слова:** регистр, последовательное приближение, АЦП, SAR

**Благодарности:** работа выполнена при поддержке Министерства науки и высшего образования Российской Федерации (проект № FSMR-2023-0008)

### Введение

Широкое распространение цифровой техники и необходимость обработки данных с датчиков физических величин (таких как температура, давление, положение и др.) привели к созданию аналого-цифрового преобразователя (АЦП). Поскольку эти величины могут иметь различную природу, то вначале их преобразуют в электрические сигналы соответствующими датчиками, а затем при помощи АЦП приводят в цифровую форму для дальнейшей обработки. При всём разнообразии различных типов АЦП, мы выделим один из наиболее используемых типов, известный как АЦП последовательного приближения (successive approximation ADC в англоязычной терминологии) или АЦП с поразрядным уравниванием.

АЦП последовательного приближения преимущественно применяют для недорогих приложений со средним и высоким разрешением. Зачастую, они имеют меньшее разрешение, чем сигма-дельта АЦП, но большую скорость преобразования. Разрешение составляет от 8 до 18 бит, с типичной скоростью выборки

около – 3 мега выборок в секунду. При этом обладают низким энергопотреблением, простотой использования и достаточно высокой точностью, что необходимо при построении портативных приборов [1].

Регистр последовательных приближений (ППП, или Successive Approximation Register (SAR) в англоязычной терминологии) в данном типе АЦП играет основную роль. С его помощью осуществляется формирование кода числа, которое определяет состояние ключей, подключающих или отключающих образцовые напряжения или токи.

### Метод последовательного приближения

При рассмотрении метода последовательного приближения будем использовать классическую структуру АЦП последовательного приближения (рис. 1) [2].

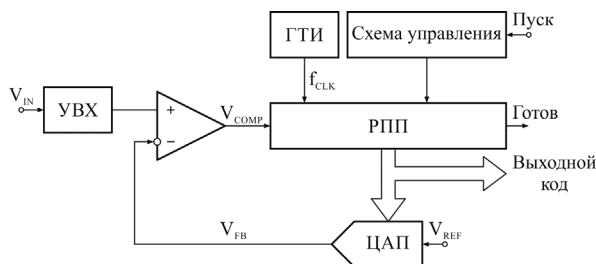


Рис. 1. Структурная схема АЦП последовательного приближения

В состав АЦП последовательного приближения входят следующие основные блоки:

- Устройство выборки-хранения (УВХ). Оно хранит величину входного напряжения, присутствующего на входе АЦП, на длительность всего цикла преобразования.
- Компаратор. Он сравнивает величину аналогового напряжения, хранимого в УВХ с значениями на выходе ЦАП при разных кодах.
- Регистр последовательного приближения (РПП). Формирует коды, подающиеся на вход ЦАП. Напряжения, соответствующие этим кодам, с выхода ЦАП подаются на компаратор.
- Цифро-аналоговый преобразователь (ЦАП). Формирует напряжения на основе цифрового кода, поступающего от РПП.

Метод последовательного приближения является алгоритмом двоичного поиска. В начале преобразования в регистре устанавливается старший бит, в случае для 8-битного АЦП его значение равно 10000000 (это значение, поданное на вход 8-битного ЦАП, даст на его выходе напряжение, соответствующее 1/2 шкалы преобразования (ШП)). Затем компаратор сравнивает значение уровня входного сигнала (полученное УВХ перед началом преобразования и хранимое на всё время измерения) с выходом ЦАП. Если напряжение входного сигнала больше, то старший бит останется установленным, затем произойдёт установка следующего бита (значение регистра станет равным 11000000, что соответствует  $(1/2 + 1/4) \times \text{ШП}$ ) и будет снова произведено сравнение. Если напряжение входного сигнала окажется меньше, то данный бит сбросится, а следующий за ним установится и значение регистра станет равным 10100000 (соответствует  $(1/2 + 1/8) \times \text{ШП}$ ). Снова произойдет сравнение и запись нового значения в регистр. Каждый последующий установленный бит даёт в два раза меньшее приращение на выходе ЦАП. За

8 операций сравнения (тактов) преобразование будет полностью завершено.

### Описание структуры и работы РПП

Разработанная схема 8 разрядного регистра последовательного приближения аналогична схемам K155ИР17 и K564ИР13 (зарубежные аналоги AV2504, MM54C905) и способна сформировать  $2^8 = 256$  значений кода, а, следовательно, и 256 значений на выходе ЦАП [3].

В разработанной схеме можно выделить три функциональные части: блок формирования импульсов (рис. 2), блок объединения импульсов, регистр последовательного приближения (рис. 3).

Внешний тактовый сигнал подводится к блоку формирования импульсов. Его устройство аналогично схеме счётчика-делителя на 8 K561ИЕ9 (зарубежный аналог CD4022). При каждом такте на его входе СР появляется импульс - так называемая «бегущая единица» на одном из его выходов «0» - «7».

Формируемые им сигналы поступают на блок объединения импульсов. Он построен на комбинационной логике и представляет собой мультиплексор с выводом X2 выбора сигнала. Он выдаёт на выходах сигналы тактирования C1 и C2, необходимые РПП. При X2 = логический «0» на выходы C1 и C2 блока поступают сигналы, сформированные путём объединения выводов «1» с «5» и «3» с «7» соответственно, а при X2 = логическая «1», выходы с «1» по «3» и с «5» по «7». В результате имеем два варианта тактирования. В первом из них длительности импульсов C1 и C2 и задержка между ними равны, во втором длительности импульсов в три раза больше времени задержки между ними. Эта особенность может использоваться при оценке быстродействия и помехоустойчивости, а также даёт возможности выбора между внутренними частотами тактирования, отличающимися фактически в два раза.

Схема регистра имеет входы: DI - данных в последовательном коде, NS - начала преобразования и C1, C2 - тактирования. Имеет выходы: DO - данных в последовательном коде (идентичны данным на DI, но задержанным на один такт), «Q7» - «Q0» - результата преобразования и NCC - окончания преобразования.

Регистр включает 8 идентичных ячеек хранения накапливаемых разрядов. Каждая ячейка состоит из синхронизируемых RS триггеров, а также логических элементов. Тригге-

Вход DI предназначен для данных поступающих от компаратора.

О заполнении регистра сигнализирует выход NCC, на котором устанавливается уровень логического "0". Записанная информация хранится до следующего цикла.

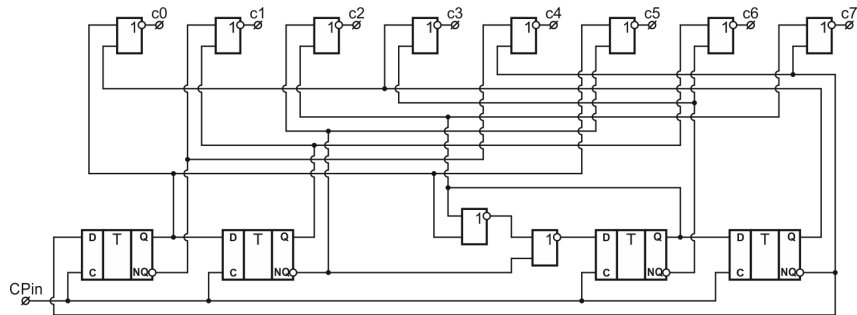


Рис. 2. Блок формирования импульсов

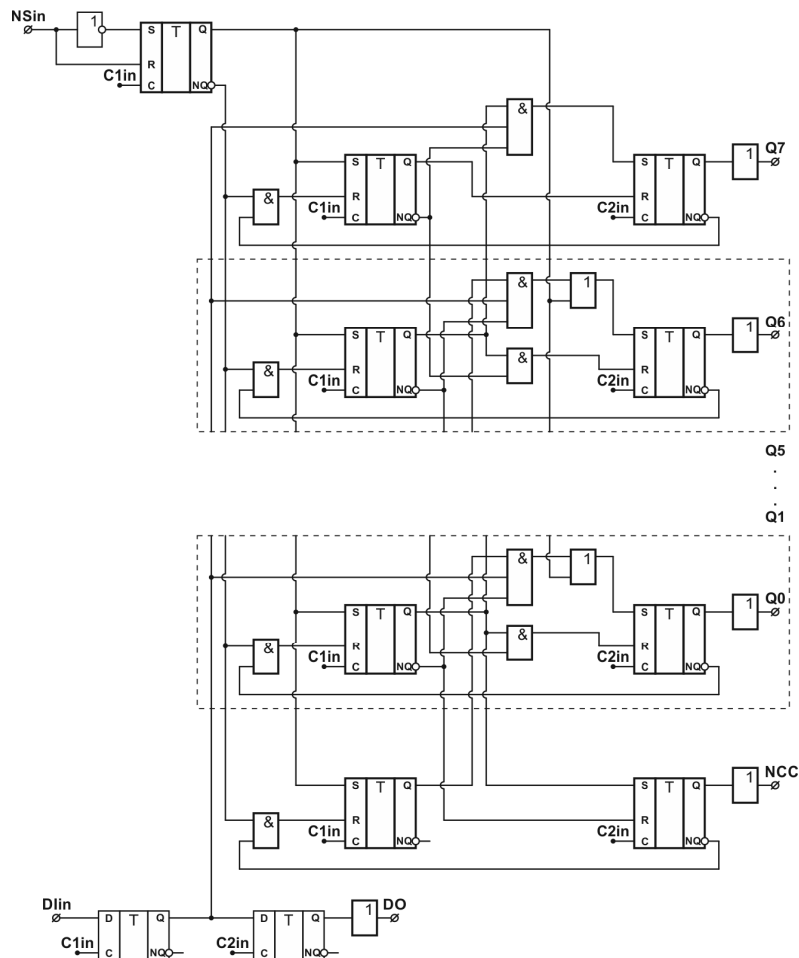


Рис. 3. Регистр последовательного приближения

### Варианты применения регистра

Разработанный РПП можно настроить на работу как для разового заполнения регистра, так и для работы в непрерывном режиме - для этого следует соединить вывод NCC с NS.

Данный регистр позволяет реализовать режимы полного и укороченного цикла преобразования (актуально для АЦП низкой разрядности). Для этого следует подключить выход, следующий за младшим битом схемы, к NCC. Например, для 4-битного преобразования подключите "Q3" к NCC. При этом значения на "Q3" - "Q0" следует игнорировать.

Данный РПП не предусматривает наращивание разрядности. Если она потребуется, то следует применять дополнительную комбинационную логику.

Представленный РПП можно использовать в качестве преобразователя последовательного кода в параллельный. Для этого данные в последовательном коде подаются на вход DI, а снимают их с выходов "Q7" - "Q0" по окончании заполнения регистра – установке на выходе NCC низкого уровня.

Отличительная особенность схемы РПП заключается во взаимодействии его функциональных частей, при котором запись данных в один из разрядов регистра вызывает запись логического "0" в последующий младший разряд. Эта особенность позволяет использовать РПП как кольцевой счетчик с «бегущим нулем». Для реализации этого режима на вход DI подаётся логическая единица на весь период работы, а выход окончания преобразования NCC соединяется со входом начала преобразования NS.

### Основные характеристики и результаты моделирования РПП

Типовое напряжение питания схемы составляет 3,3 В. Схема показала хорошую работоспособность во всех режимах работы для входных частот до 400 МГц. Собственный ток потребления при частоте 400 МГц на входе CP составляет 3,5 мА для случая, когда на входе X2 логическая "1" и 4,2 мА при логическом "0". При этом частота записи данных в ячейку составит  $400 \text{ МГц} / 8 = 50 \text{ МГц}$ , и  $400 \text{ МГц} / 4 = 100 \text{ МГц}$  соответственно. Потребление схемы при отсутствии тактирования составляет менее 500 мкА.

Выход схемы буферизирован и способен выдавать ток до 5 мА. Это позволяет подклю-

чать непосредственно к её выходу маломощные светодиоды, что может быть полезно, при разработке устройств обучения и ознакомления с работой РПП.

На рис. 4 представлены диаграммы тактовых сигналов при разных значениях сигнала X2.

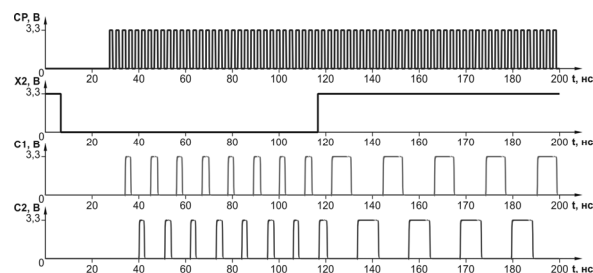


Рис. 4. Диаграмма тактовых сигналов в зависимости от значения сигнала X2

На рис. 5 представлены диаграммы работы схемы при значении сигнала X2 = логическая "1".

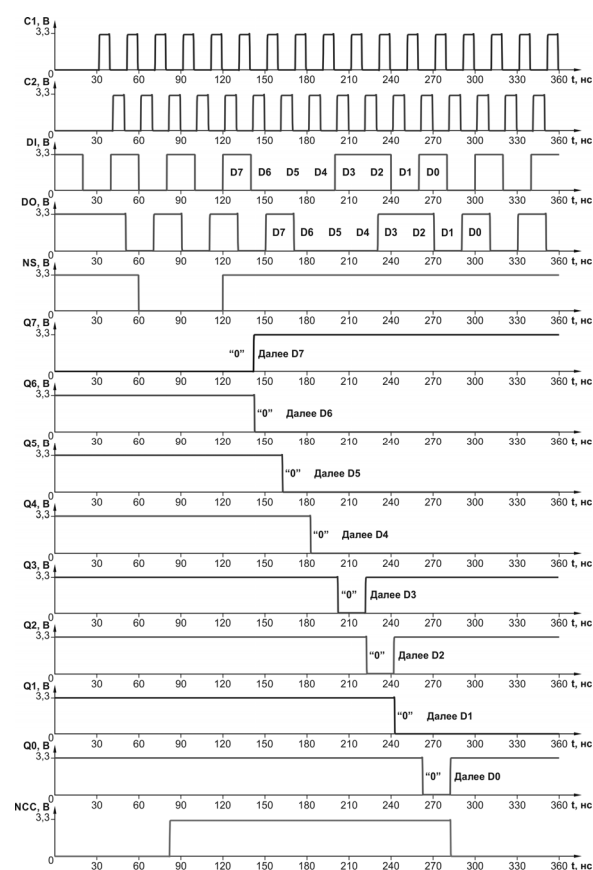
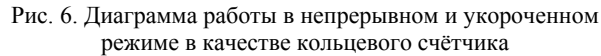
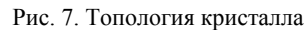


Рис. 5. Диаграмма работы схемы

Диаграмма работы РПП в непрерывном и укороченном режиме в качестве кольцевого счётчика при значении сигнала X2 = логическая "1" показана на рис. 6.



Размер кристалла составил  $850 \times 850$  (мкм  $\times$  мкм). Непосредственно сама схема без площадок и структур антистатической защиты составляет  $152 \times 172$  (мкм  $\times$  мкм).



Производство интегральной микросхемы было выполнено за счет средств Минобрнауки России в рамках федерального проекта «Подготовка кадров и научного фундамента для электронной промышленности» по гос. заданию на выполнение НИР «Разработка методики прототипирования электронной компонентной базы на отечественных микроэлектронных производствах на основе сервиса MPW (FSMR-2023-0008)».

100

- к публикации 28.10.2025



#### Информация об авторах

**Белявцев Андрей Владимирович** – инженер-конструктор, АО «Научно-исследовательский институт электронной техники» (394033, Россия, г. Воронеж, ул. Ст. Большевиков, 5), тел.: +7 (473) 226-29-37, e-mail: ralval@rambler.ru

**Русанов Александр Валерьевич** – канд. техн. наук, доцент кафедры радиоэлектронных устройств и систем, Воронежский государственный технический университет (394006, Россия, г. Воронеж, ул. 20-летия Октября, 84); инженер-конструктор I категории, АО «Научно-исследовательский институт электронной техники» (394033, Россия, г. Воронеж, ул. Ст. Большевиков, 5), e-mail: ralval@rambler.ru

## SUCCESSIVE APPROXIMATION REGISTER FOR CMOS TECHNOLOGY PROCESS

A.V. Belyavtcev<sup>1</sup>, A.V. Rusanov<sup>1,2</sup>

<sup>1</sup> JSC «Research Institute of Electronic Technology», Voronezh, Russia

<sup>2</sup> Voronezh State Technical University, Voronezh, Russia

**Abstract:** the article discusses a successive approximation method, typical structure and blocks of an analog-to-digital converter based on a successive approximation register and a comparison of its main parameters with another type of ADC. We provide a description of the operation and interaction of the blocks of the designed register, main diagrams explaining the operation of the integrated circuit and possible non-standard ways of its application. A detailed representation of the blocks allows for a more complete understanding of the entire circuit's operation, identifying the principles of additional applications, and finding ways to improve its efficiency and operational schemes. We give analogs for the presented electrical circuits of the developed blocks. We present the main electrical characteristics and simulation results and give the layout view of designed chip. The integrated circuit is designed in standard 180 nm CMOS process (complementary metal–oxide–semiconductor). A specialized computer-aided design (CAD) system was used in the development of the electrical circuit and layout. The Spectre models provided by the silicon foundry were used for modeling the electrical circuit. The layout passed testing for compliance with design rules (Design rule check, DRC) and for conformity to the electrical circuit (Layout vs. Schematic, LVS)

**Key words:** register, successive approximation, ADC, SAR

**Acknowledgments:** this work was supported by the Ministry of Science and Higher Education of the Russian Federation (project no. FSMR-2023-0008)

#### References

1. Kester W. “Which ADC architecture is right for your application?”, *Modern Electronics (Sovremennaya Elektronika)*, 2008, no 3, pp. 14-21.
2. Volovich G.I. “Circuitry of analog and analog-digital electronic devices” (“Skhemitekhnika analogovykh i analogovotsifrovyykh elektronnykh ustroystv”), Moscow, DMK Press, 2018, 636 p.
3. Shilo V.L. “Popular digital microcircuits”, Moscow: Radio i svyaz', 1987, 352 p.
4. DataSheet DM54LS502/DM74LS502 8-Bit Successive Approximation Register, National Semiconductor Corporation, available at: <https://www.alldatasheet.com/datasheet-pdf/pdf/8334/NSC/DM54LS502.html> (date of access: 10.11.2025).

Submitted 04.08.2025; revised 28.10.2025

#### Information about the authors

**Andrey V. Belyavtcev**, Engineer, JSC «Research Institute of Electronic Technology» (St. Bolshevnikov st., Voronezh 394033, Russia), tel. +7(473)226-29-37, e-mail: ralval@rambler.ru

**Aleksandr V. Rusanov**, Cand. Sc. (Technical), Associate Professor, Voronezh State Technical University (84 20-letiya Oktyabrya, Voronezh 394006, Russia); Design Engineer of Category 1, JSC «Research Institute of Electronic Technology» (St. Bolshevnikov st., Voronezh 394033, Russia); e-mail: ralval@rambler.ru